



Please Click here to view the drawing.



Korean FullText



English FullText

(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1019970005114
B1
(44)Date of publication of specification: 12.04.1997

(21)Application number: 1019930011595

(71)Applicant: HYUNDAI ELECTRONIC INDUSTRIES CO., LTD.

(22)Date of filing: 24.06.1993

(72)inventor: KIM, MYEONG-SEON

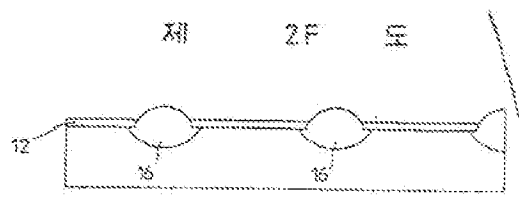
(30)Priority:

(51)Int. Cl. G03F 7/00

(54) MANUFACTURING METHOD OF FIELD OXIDE MEMBRANE FOR SEMICONDUCTOR ELEMENT

(57) Abstract:

A manufacturing method of field oxide membrane for semiconductor element comprising the step forming a oxide membrane on a silicon board; the step forming a groove in active region by etching the oxide membrane and the silicon board of the active region in prescribed thickness through mask; the step removing photoresist pattern, then forming thin oxide membrane on exposed silicon board surface; the step forming thick nitride membrane overall, then applying a flattening isolation membrane on the nitride membrane; the step etching back said flattening isolation membrane and said nitride membrane to remain the nitride membrane only in the groove of the silicon board; and the step forming a field oxide membrane and removing the nitride membrane remained only in grooves by oxidizing a protruded portion of the silicon board is disclosed. Thereby, it is possible to enhance the margin of process and design by maximize the active region.



Copyright 1999 KIPO

(19)대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl. ⁶
G03F 7/00

(45) 공고일자 1997년04월12일
(11) 공고번호 97-005114
(24) 등록일자

(21) 출원번호	특1993-0011595	(65) 공개번호	특1995-0001409
(22) 출원일자	1993년06월24일	(49) 공개일자	1995년01월03일
(73) 특허권자	경기도 이천군 부발읍 아미리 산 136-1		
(72) 발명자	김명선		

(74) 대리인
이원희
서종원

심사관 : 이세진 (특자공보 제4037호)

(54) 반도체 소자의 필드산화막 제조방법

요약

내용 없음.

발명서

[발명의 명칭]

반도체 소자의 필드산화막 제조방법

[도면의 간단한 설명]

제1a도는 및 제1b도는 종래기술에 의해 반도체 소자의 필드산화막을 조제하는 단계를 도시한 단면도.

제2a도 내지 제2e도는 본 발명의 실시예에 의해 반도체 소자의 필드산화막을 제조하는 단계를 도시한 단면도.

· 도면의 주요부분에 대한 부호의 설명

1,11,12 : 산화막 2,14 : 질화막

3,13 : 감광막패턴 4,16 : 필드산화막

5 : 버즈빅 10 : 실리콘기판

15 : 평탄화용 절연막 20 : 홈

[발명의 상세한 설명]

본 발명은 반도체 소자의 필드산화막 제조방법에 관한 것으로, 특히 버즈빅(bird's beak)을 감소시켜 필드산화막 사이즈를 최소화시키고 그로인하여 액티브영역을 넓히도록하는 반도체 소자의 필드산화막 제조방법에 관한 것이다.

고집적 반도체 소자의 소자와 소자를 실리콘기판 상부에서 분리시키기 위해 소자분리용 필드산화막을 형성한다. 필드산화막을 형성하는 방법은 주로 LOCOS(Local Oxidation of Silicon) 공정을 이용하였다.

종래의 LOCOS 공정으로 필드산화막 형성단계를 1A도 및 제1B도를 참조하여 설명하기로 한다.

제1a도는 실리콘기판(10) 상부에 얇은 산화막(1), 질화막(2) 및 감광막을 적층한 다음, 소자분리마스크를 이용하여 필드영역의 감광막을 제거한 감광막패턴(3)을 형성하고, 필드영역의 노출된 질화막(2)과 그 하부의 산화막(1)

을 식각한 단면도이다.

제1b도는 제1a도 공정후 감광막패턴(3)을 제거하고, 노출된 실리콘기판(10)을 산화시켜 필드산화막(4)을 형성한 단면도로서, 필드산화막(4) 양측에 절화막(2) 하부로 산화막이 치고 들어간 형태의 버즈빅(5)이 심하게 발생하여 액티브지역이 감소하게되어 공정 및 설계여유도가 감소하는 문제점이 있다.

또한, 감광막패턴 형성시 감광막패턴이 남아있는 부분이 액티브지역이 되기 때문에 일정한 리소그라피(Lithography) 기술로써 패턴의 스페이스(space)를 줄이기가 어려움으로 액티브지역을 넓히기가 힘들게 된다.

따라서, 본 발명은 절화막을 실리콘기판의 홈에 형성하여 실리콘기판 산화시 발생하는 버즈빅 현상을 최소화하면서 감광막패턴 형성시 스페이스 부분을 액티브영역이 되도록 함으로써 액티브영역을 넓게 할수 있도록한 반도체 소자의 필드산화막 제조방법을 제공하는데 그 목적이 있다.

상기한 목적을 달성하기 위한 본 발명은 반도체 소자의 필드산화막 제조 방법에 있어서, 실리콘기판 상부에 산화를 형성하고, 마스크를 이용하여 액티브지역의 산화막과 실리콘기판의 예정된 두께를 식각하여 액티브영역에 홈을 형성하는 공정과, 감광막패턴을 제거하고, 노출된 실리콘기판 표면에 얇은 산화막을 형성하고, 전체적으로 절화막을 두껍게 형성하고, 그 상부에 평탄화를 절연막을 도포하는 공정과, 상기 평탄화를 절연막과 절화막을 동일한 식각비율로 에치백하여 실리콘 기판의 홈에만 절화막을 남기는 공정과, 산화공정으로 실리콘기판의 돌출된 부분을 산화시켜 필드산화막을 형성하고 홈에 남아있는 절화막을 제거하는 공정을 포함한다.

이하, 첨부된 도면을 참고하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

제2a도 내지 제2f도는 본 발명의 실시예에 의해 필드산화막을 제조하는 단계를 도시한 단면도이다.

제2a도는 실리콘기판(10) 상부에 얇은 산화막(11)을 증착하고, 감광막을 도포한후에 마스크를 이용한 노광, 현상 공정으로 액티브영역의 감광막이 제거된 감광막패턴(13)을 형성하고, 액티브영역의 산화막(11)과 실리콘기판(10)을 일정두께로 건식식각하여 액티브영역에 홈(20)을 형성한 단면도이다.

제2b도는 상기한 감광막패턴(13)을 제거하고 실리콘기판 표면에 얇은 산화막(12)을 형성하고, 전체구조 상부에 절화막(14)을 상기 홈(20)이 완전히 채워질수 있는 두께로 형성한 다음, 그 상부에 평탄화를 절연막(15) 에를들여 BPSG(Boro Phospho Silicon Glass)막 또는 SOG(Spin On Glass)막을 형성한 단면도로서, 상기 평탄화를 절연막(15) 대신에 감광막을 형성해도 된다.

제2c도는 상기 평탄화를 절연막(15)과 그 하부에 있는 절화막(14)을 동일한식각비를 가지고 식각하여 실리콘기판(10)의 돌출부의 산화막(11)이 노출되기까지 평탄화를 절연막(15)과 절화막(14)을 식각하여 실리콘기판(10)의 홈(20)에만 절화막(14)을 채운 상태의 단면도이다.

제2d도는 상기 제2c도 공정후 돌출된 실리콘기판(10)을 산화시켜 필드산화막(16)을 형성한 단면도이다. 여기서 돌출된 실리콘기판(10) 표면에 있던 산화막(11)과 절화막(14) 측벽에 있던 산화막(12)도 필드산화막(16)에 흡수된 것으로 도시한 것이다.

제2e도는 제2d도 공정후 필드산화막(16)의 일정두께를 습식 또는 건식식각으로 불렛팅 식각하여 절화막(14) 측벽의 일정부분까지 필드산화막(16)을 제거한 단면도이다.

제2f도는 제2e도 공정후 절화막(14)을 인산용액으로 완전히 제거하여 실리콘기판(10)의 필드지역에 버즈빅이 거의 발생되지 않는 필드산화막(16)을 형성한 단면도이다.

상기한 본 발명에 의하면 필드산화막을 형성할때 버즈빅 현상을 최소화시켜 액티브영역을 극대화함으로써 공정 및 설계의 마진을 늘릴 수 있다.

(57)청구의 범위

청구항1

반도체 소자의 필드산화막 제조방법에 있어서, 실리콘기판 상부에 산화막을 형성하고, 마스크를 이용하여 액티브

지역의 산화막과 실리콘기판의 예정된 두께를 식각하여 액티브영역에 홈을 형성하는 공정과, 감광막패턴을 제거하고, 노출된 실리콘기판 표면에 얇은 산화막을 형성하고, 전체적으로 절화막을 두껍게 형성하고, 그 상부에 평탄화용 절연막을 도포하는 공정과, 상기 평탄화용 절연막과 절화막을 동일한 식각비율로 에치백하여 실리콘기판의 홈에만 절화막을 남기는 공정과, 산화공정으로 실리콘기판의 노출된 부분을 산화시켜 필드산화막을 형성하고 홈에 남아있는 절화막을 제거하는 공정을 포함하는 반도체 소자의 필드산화막 제조방법.

청구항2

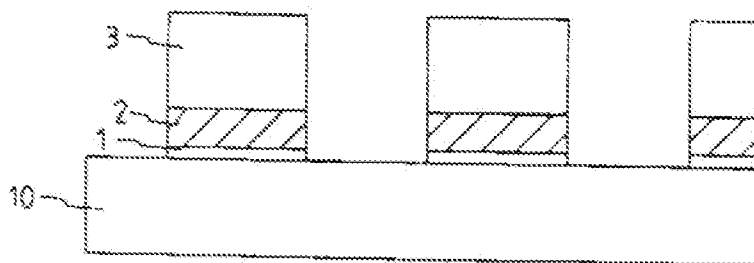
제1항에 있어서, 상기 평탄화용 절연막을 BPSG(Boro Phospho Silicon Glass)막 또는 SOG(Spin On Glass)막으로 형성하는 것을 특징으로 하는 반도체 소자의 필드산화막 제조방법.

청구항3

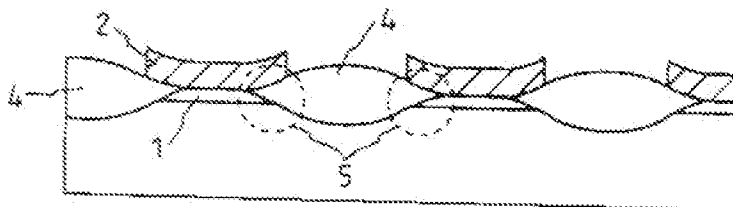
제1항에 있어서, 상기 실리콘기판의 노출된 부분을 산화시켜 필드산화막을 형성한 다음, 습식 또는 건식식각 방법으로 필드산화막의 일정두께를 불렛칭 식각하는 것을 특징으로 하는 반도체 소자의 필드산화막 제조방법.

도면

도면1A



도면1B



도면2A

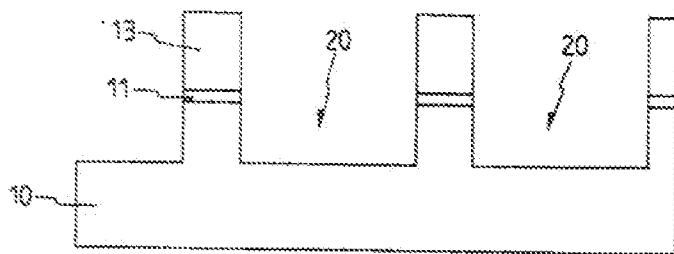


FIG. 2B

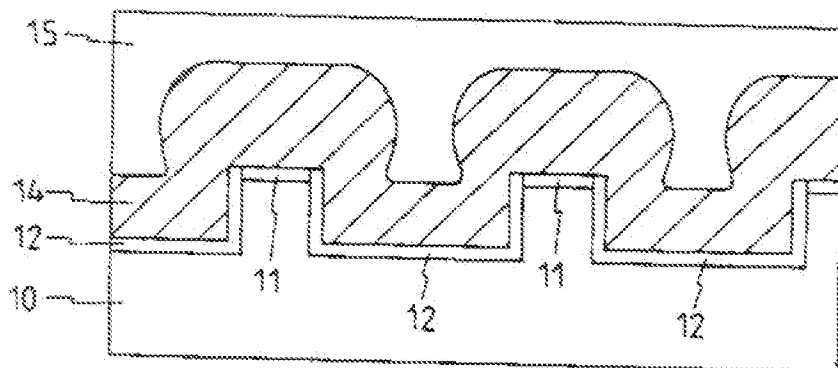


FIG. 2C

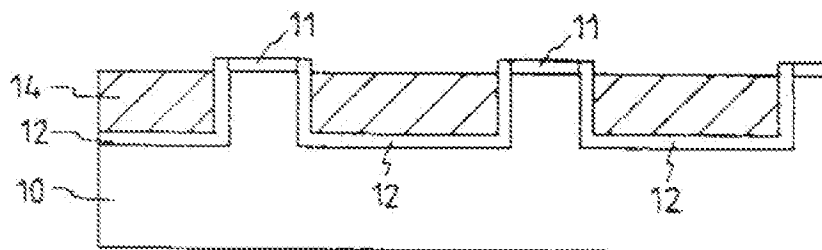
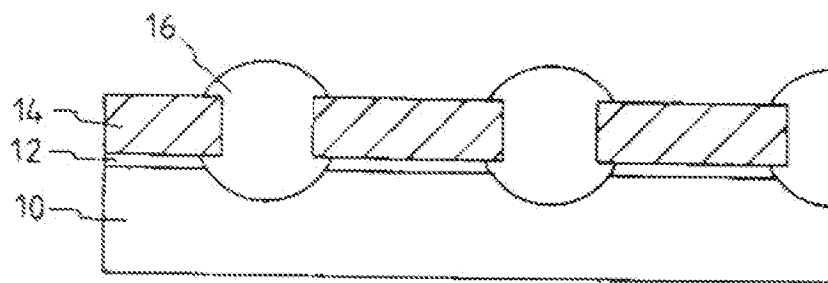
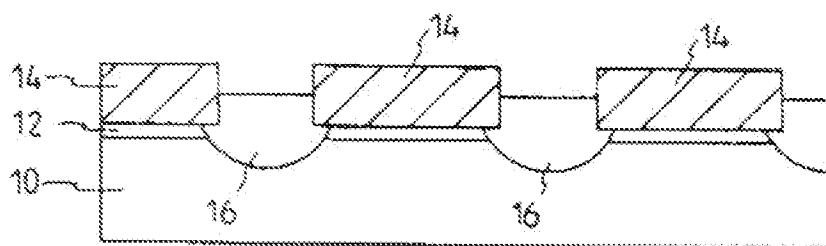


FIG. 2D



도면2E



도면2F

